

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP10173149
Publication date: 1998-06-26
Inventor(s): MATSUI YUICHI;; SUGA MITSUO;; TORII KAZUNARI;; HIRATANI MASAHIKO;; FUJISAKI YOSHIHISA
Applicant(s): HITACHI LTD
Requested Patent: JP10173149
Application Number: JP19960333373 19961213
Priority Number(s):
IPC Classification: H01L27/108; H01L21/8242; H01L27/04; H01L21/822; H01L27/10; H01L21/8247; H01L29/788; H01L29/792
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a Pt film which has such a high oxygen barrier property that does not allow oxygen to reach a barrier layer through the Pt film by making the lengths of Pt crystal grains in the Pt film in the thickness direction of the film shorter than the thickness of the film and the length of intercrystalline boundaries longer than the thickness of the film.

SOLUTION: After a TiN film 2 is formed on an Si substrate 1 as a barrier layer by sputtering, a Pt film 3 is formed on the film 2 by sputtering and the sputtering is temporarily stopped by lowering the power. Thereafter, the formation of the film 3 is restarted under the same condition. When the film 3 is formed in two stages in such a way, the lengths of Pt crystal grains in the thickness direction of the film 3 becomes shorter than the thickness of the film 3 and intercrystalline boundaries which are the permeating paths of oxygen can be made longer. Consequently, the oxygen barrier property of the film 3 can be improved and the thickness of the film 3 which is formed as the lower electrode of a capacitor can be reduced to 100nm. Therefore, the capacitance element of a DRAM can be made smaller in size and increased in degree of integration when capacitance and storage elements are formed by using this film 3.

Data supplied from the esp@cenet database - I2

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1
21/8242			4 5 1
27/04		27/04	C
21/822		27/10	6 2 1 Z
27/10	4 5 1	29/78	3 7 1
審査請求 未請求 請求項の数18 O L (全 7 頁) 最終頁に続く			

(21) 出願番号	特願平8-333373	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成8年(1996)12月13日	(72) 発明者	松井 裕一 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	須賀 三雄 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(72) 発明者	鳥居 和功 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		(74) 代理人	弁理士 小川 勝男
		最終頁に続く	

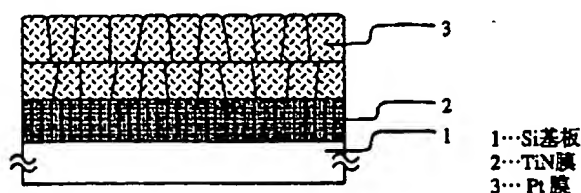
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 容量記憶素子の絶縁膜としてペロブスカイト系絶縁膜を用いる場合、下部電極としてPtが用いられる。Ptは蒸気圧が高いハロゲン化合物を持たないため、加工が困難であり、メモリの微細化のためにはPtを薄膜化する必要がある。しかし、Ptの膜厚が薄いと、Ptの結晶粒界を透過した酸素がバリア層まで拡散してバリア層を酸化させ、電気的な導通が失われるという問題点がある。そこで、Ptの結晶粒径を制御して酸素の透過パスを長くし、Ptを薄膜化してもバリア層が酸化されない構造を実現する。

【解決手段】 Pt形成途中で成膜を停止した後に再びPt形成を行えば、結晶粒の膜厚方向の長さが膜厚よりも短くなり、酸素の透過パスである結晶粒界の長さを長くすることができる。成膜停止中に一時大気に曝す、スパッタエッチングを行う、加熱を行う等の処理を行ってもよい。

図 1



【特許請求の範囲】

【請求項1】第一の下部電極、第二の下部電極、絶縁膜、上部電極の順に積層されるキャパシタを備えた半導体装置において、該キャパシタの第二の下部電極の結晶粒の膜厚方向の大きさが、該第二の下部電極の膜厚よりも小さいことを特徴とする半導体装置。

【請求項2】第一の下部電極、第二の下部電極、絶縁膜、上部電極の順に積層されるキャパシタを備えた半導体装置において、該キャパシタの第二の下部電極の結晶粒の長さが、少なくとも該第二の下部電極の膜厚よりも長いことを特徴とする半導体装置。

【請求項3】第一の下部電極、第二の下部電極、絶縁膜、上部電極の順に積層されるキャパシタを備えた半導体装置において、該キャパシタの第二の下部電極が、結晶粒の膜厚方向の大きさが該第二の下部電極の膜厚よりも小さい層が少なくとも2層以上ある積層構造となっていることを特徴とする半導体装置。

【請求項4】第一の下部電極、第二の下部電極、絶縁膜、上部電極の順に積層されるキャパシタを備えた半導体装置において、該キャパシタの第二の下部電極が、平均結晶粒径の異なる層が少なくとも2層以上ある積層構造となっていることを特徴とする半導体装置。

【請求項5】請求項1から4のいずれかに記載の第二の下部電極は、所望の膜厚以下の任意の膜厚を形成後、一時成膜を停止した後に上部の層を形成することを少なくとも1回以上繰り返すことによって形成することを特徴とする半導体装置の製造方法。

【請求項6】請求項1から4のいずれかに記載の第二の下部電極は、所望の膜厚以下の任意の膜厚を形成後、一時大気中に曝した後に上部の層を形成することを少なくとも1回以上繰り返すことによって形成することを特徴とする半導体装置の製造方法。

【請求項7】請求項1から4のいずれかに記載の第二の下部電極は、所望の膜厚以下の任意の膜厚を形成後、膜表面のスパッタエッチングを行った後に上部の層を形成することを少なくとも1回以上繰り返すことによって形成することを特徴とする半導体装置の製造方法。

【請求項8】請求項1から4のいずれかに記載の第二の下部電極は、所望の膜厚以下の任意の膜厚を形成後、少なくとも成膜温度以上の加熱処理を行った後に上部の層を形成することを少なくとも1回以上繰り返すことによって形成することを特徴とする半導体装置の製造方法。

【請求項9】請求項1から4のいずれかに記載の第二の下部電極は、所望の膜厚以下の任意の膜厚を形成後、成膜条件を変えて上部の層を形成することを少なくとも1回以上繰り返すことによって形成することを特徴とする半導体装置の製造方法。

【請求項10】請求項9に記載の、変化させる成膜条件は基板温度であり、下層よりも上層の方が基板温度が低い条件で形成されることを特徴とする半導体装置の製造

方法。

【請求項11】請求項9に記載の、変化させる成膜条件は成膜圧力であり、下層よりも上層の方が成膜圧力が高い条件で形成されることを特徴とする半導体装置の製造方法。

【請求項12】請求項9に記載の、変化させる成膜条件は成膜速度であり、下層よりも上層の方が成膜速度が低い条件で形成されることを特徴とする半導体装置の製造方法。

【請求項13】請求項9に記載の、変化させる成膜条件は基板温度であり、下層よりも上層の方が基板温度が高い条件で形成されることを特徴とする半導体装置の製造方法。

【請求項14】請求項9に記載の、変化させる成膜条件は成膜圧力であり、下層よりも上層の方が成膜圧力が低い条件で形成されることを特徴とする半導体装置の製造方法。

【請求項15】請求項9に記載の、変化させる成膜条件は成膜速度であり、下層よりも上層の方が成膜速度が高い条件で形成されることを特徴とする半導体装置の製造方法。

【請求項16】請求項1から15のいずれかに記載の第二の下部電極は白金であることを特徴とする半導体装置。

【請求項17】請求項16に記載の第二の下部電極白金は、スパッタ法によって形成されることを特徴とする半導体装置。

【請求項18】請求項1から17のいずれかに記載の第二の下部電極を用いた半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の中の、特に容量記憶素子の形成方法に関するものである。

【0002】

【従来の技術】ダイナミックランダムアクセスメモリ(DRAM)はおよそ3年で4倍の高集積化が行なわれていく。セル面積が縮小化しても必要な蓄積電荷量を確保するために、キャパシタ絶縁膜の薄膜化や立体構造電極によるキャパシタ面積の増大等が行なわれてきた。現在までに量産化されたDRAMのキャパシタ絶縁膜は比誘電率3.82のシリコン酸化膜(SiO₂)や比誘電率7~8のシリコン窒化膜(Si₃N₄)が用いられてきた。しかし、256メガビット以降のDRAMを考えると、キャパシタ絶縁膜を実効膜厚1nm以下に薄膜化する必要があり、薄膜化に伴って増大するリーク電流が許容限界を越える。比誘電率が22~25のタンタル酸化膜(Ta₂O₅)の採用が検討されているが、それでも実効膜厚1.5nmが限界である。このTa₂O₅を用いて256メガビットおよびギガビットスケールのDRAMを実現するためには、比誘電率が100を越える高誘電体材料であるチタン酸ストロンチウムすなわちSrTiO₃、ス

トロンチウムチタン酸バリウムすなわち(Ba, Sr)TiO₃、チタン酸鉛すなわちPbTiO₃、チタン酸ジルコン酸鉛すなわちPb(Ti, Zr)O₃に代表されるようなペロブスカイト系絶縁膜の採用が必要である。また、DRAMだけでなく、強誘電体の自発分極を利用した強誘電体不揮発性メモリのための強誘電体絶縁膜として利用する場合、強誘電性を持つPbTiO₃、Pb(Ti, Zr)O₃、Bi系層状強誘電体が採用される。ペロブスカイト系絶縁膜を採用する場合、下部電極はスパッタ法によって形成されるPt膜が用いられる。メモリの構造上、下部電極はトランジスタの拡散層から引き上げられたプラグ(Si)とコンタクトを取る必要がある。Pt膜は直接Siと接していると、熱工程によりシリサイド化反応を起こす。するとSiが絶縁膜へ拡散して膜質の低下を引き起こすため、Siとの間にTiN膜等の反応防止としてのバリア層が必要である。特性の良い(例えば比誘電率が大い、残留分極が大い)ペロブスカイト系絶縁膜を得るためには、通常600℃以上の成膜温度または酸化性雰囲気中でのポストアニールが必要である。しかし、下部電極Pt膜は酸素を透過させやすい材料であるため、Pt膜厚が薄いと酸素がPtの結晶粒界を透過してバリア層のTiN膜まで到達し、TiN膜が酸化されて電気的な導電性が失われるという問題点があった。それを防ぐため、従来はPt膜厚を厚くして酸素透過パス(結晶粒界)を長くすることで対処していた。

【0003】

【発明が解決しようとする課題】上記の従来の技術で述べたように、バリア層の酸化を防ぐためにはPtの膜厚を厚くする必要があるが、Ptは蒸気圧の高い安定なハロゲン化合物が存在しないため化学的なドライエッチングが困難であり、Pt膜厚が厚くなると微細加工が困難になる。そのため高集積のメモリ実現のためには、酸素バリア性が高く、薄膜化してもバリア層まで酸素が透過しないPt膜が必要である。

【0004】

【課題を解決するための手段】Pt膜の酸素透過はPt結晶粒界によって生じる。つまり酸素バリア性の高いPt膜を得るためには、結晶粒界の長いPt膜を得ればよい。そうすることによって、Ptの膜厚が薄くなっても酸素の透過パスが長くなり、バリア層まで酸素が拡散することを防ぐことができる。従来技術によればPt膜は柱状に成長し、結晶粒が膜厚方向に連続的につながる。そのため、Ptの結晶粒界は膜厚方向に直線的になり酸素の透過パスは短くなる。酸素の透過パスを長くするためには、Ptの膜厚方向の結晶粒の長さが膜厚よりも小さく、結晶粒界の長さが、少なくともPt膜厚よりも長くなるようにする必要がある。具体的には、Pt形成を途中で停止し、その後残りの膜厚を形成すればよい。また、停止時に一時大気中に曝す、表面をスパッタエッチする、あるいは加熱する等の処理を行った後にさらにPt形成を続けてもよい。また、Pt成膜途中で成膜条件を変化させることによ

っても粒成長を連続的でなくなるように形成することができる。

【0005】

【発明の実施の形態】まずバリア層としてTiN膜をスパッタ法によってSi基板上に形成した。基板温度300℃、N₂流量28sccm、Ar流量4sccm、圧力0.6mTorr、DCパワー12kWにて行なった。スパッタ時間は60秒で、TiN膜は50nm形成した。次にTiN膜上にPt膜をスパッタ法により形成した。まず基板温度300℃、Ar流量100sccm、圧力3mTorr、DCパワー12kWでPtを50nm形成し、一時パワーを落としてスパッタを停止した。その後同条件でPtをさらに50nm形成した。図1に合計100nm形成したPtの断面構造を示す。Pt膜を2段階形成することによって、結晶粒の膜厚方向の長さが膜厚よりも小さくなり、酸素の透過パスである結晶粒界を長くすることができた。

【0006】比較のために、Ptを連続して100nm形成した場合の断面構造を図3に示す。形成条件は基板温度300℃、Ar流量100sccm、圧力3mTorr、DCパワー12kWである。この場合、結晶粒の膜厚方向の長さが膜厚と同じになっており、酸素の透過パスとなる結晶粒界が短くなっていることがわかる。

【0007】次に酸素のバリア性を比較した。TiN膜上に50nmから200nmのPtをスパッタ法によって形成した。従来技術である連続形成したものと、本発明によるPt膜厚の半分を形成した時点で一時パワーを落としてスパッタを停止したものを用意した。それらのPt上にPZTをゾルゲル法で100nm形成し、650℃、2分の酸素雰囲気結晶化アニールを行なった試料を作成した。それらの試料をSIMSによって深さ方向元素分析を行ない、TiN酸化膜厚の下部電極Pt膜厚依存性を求めた。結果を図4に示す。従来技術の連続形成Ptの場合、150nm以下に薄膜化すると酸素の透過量が多くなり、TiN膜が酸化してしまう。それに対し、本発明による2段階形成Pt膜の場合、Pt膜厚100nm以下でも酸化されないことがわかる。

【0008】本発明を用いて形成したPt膜を用いて、容量記憶素子を作成した。要部断面図を図5に示す。膜厚100nmのPtを用いた。従来方法の連続形成Pt膜ではTiN膜が酸化され、メモリ特性がとれなかったが、本発明を用いればDRAMに適用しても強誘電体不揮発性メモリに適用しても容量記憶素子としての動作が確認された。

【0009】Ptの結晶粒の膜厚方向の長さを膜厚よりも小さくする方法としては、途中で形成を停止させたPt表面を一時大気開放する方法がある。具体的には、発明の実施の形態1で示した条件で形成したTiN膜上に基板温度300℃、Ar流量100sccm、圧力3mTorr、DCパワー12kWでPtを50nm形成し、一時間の大気開放を行った。その後同条件でPtをさらに50nm形成した。Ptの断面構造は図1に示したものと同様であった。

【0010】次に酸素のバリア性を比較した。TiN膜上に50nmから200nmのPtをスパッタ法によって形成した。

従来技術である連続形成したものと、本発明によるPt膜厚の半分を形成した時点で大気開放を行ったものを用意した。それらのPt上にPZTをゾルゲル法で100nm形成し、650℃、2分の酸素雰囲気結晶化アニールを行なった試料を作成した。それらの試料をSIMSによって深さ方向元素分析を行ない、TiN酸化膜厚の下部電極Pt膜厚依存性を求めた。本発明による大気開放Pt膜の場合、発明の実施の形態1の場合と同様にPt膜厚100nm以下でも酸化されないことがわかった。

【0011】本発明を用いて形成したPt膜を用いて、容量記憶素子を作成した。要部断面図は発明の実施の形態1で示した図5と同様である。膜厚100nmのPtを用いた。従来方法の連続形成Pt膜ではTiN膜が酸化され、メモリ特性がとれなかったが、本発明を用いればDRAMに適用しても強誘電体不揮発性メモリに適用しても容量記憶素子としての動作が確認された。

【0012】Ptの結晶粒の膜厚方向の長さを膜厚よりも小さくする方法としては、途中で形成を停止させたPt表面をスパッタエッチする方法がある。具体的には、発明の実施の形態1で示した条件で形成したTiN膜上に基板温度300℃、Ar流量100sccm、圧力3mTorr、DCパワー12kWでPtを50nm形成し、室温でAr流量100sccm、圧力3mTorr、DCパワー200Wで1分間のスパッタエッチを行った。その後同条件でPtをさらに50nm形成した。Ptの断面構造は図1に示したものと同様であった。

【0013】次に酸素のバリア性を比較した。TiN膜上に50nmから200nmのPtをスパッタ法によって形成した。従来技術である連続形成したものと、本発明によるPt膜厚の半分を形成した時点でPt表面のスパッタエッチングを行ったものを用意した。それらのPt上にPZTをゾルゲル法で100nm形成し、650℃、2分の酸素雰囲気結晶化アニールを行なった試料を作成した。それらの試料をSIMSによって深さ方向元素分析を行ない、TiN酸化膜厚の下部電極Pt膜厚依存性を求めた。本発明によるスパッタエッチングPt膜の場合、発明の実施の形態1の場合と同様にPt膜厚100nm以下でも酸化されないことがわかった。

【0014】本発明を用いて形成したPt膜を用いて、容量記憶素子を作成した。要部断面図は発明の実施の形態1で示した図5と同様である。膜厚100nmのPtを用いた。従来方法の連続形成Pt膜ではTiN膜が酸化され、メモリ特性がとれなかったが、本発明を用いればDRAMに適用しても強誘電体不揮発性メモリに適用しても容量記憶素子としての動作が確認された。

【0015】Ptの結晶粒の膜厚方向の長さを膜厚よりも小さくする方法としては、途中で形成を停止させたPtを加熱処理する方法がある。具体的には、発明の実施の形態1で示した条件で形成したTiN膜上に基板温度300℃、Ar流量100sccm、圧力3mTorr、DCパワー12kWでPtを50nm形成した後にプラズマを停止し、基板温度を600℃まで昇温して10分間加熱処理した。その後同条件でPtをさら

に50nm形成した。Ptの断面構造は図1に示したものと同様であった。

【0016】次に酸素のバリア性を比較した。TiN膜上に50nmから200nmのPtをスパッタ法によって形成した。従来技術による連続形成したものと、本発明によるPt膜厚の半分を形成した時点で加熱処理を行ったものを用意した。それらのPt上にPZTをゾルゲル法で100nm形成し、650℃、2分の酸素雰囲気結晶化アニールを行なった試料を作成した。それらの試料をSIMSによって深さ方向元素分析を行ない、TiN酸化膜厚の下部電極Pt膜厚依存性を求めた。本発明による加熱処理Pt膜の場合、発明の実施の形態1の場合と同様にPt膜厚100nm以下でも酸化されないことがわかった。

【0017】本発明を用いて形成したPt膜を用いて、容量記憶素子を作成した。要部断面図は発明の実施の形態1で示した図5と同様である。膜厚100nmのPtを用いた。従来方法の連続形成Pt膜ではTiN膜が酸化され、メモリ特性がとれなかったが、本発明を用いればDRAMに適用しても強誘電体不揮発性メモリに適用しても容量記憶素子としての動作が確認された。

【0018】Ptの結晶粒の膜厚方向の長さを膜厚よりも小さくする方法としては、途中でPtのスパッタ条件を変える方法がある。具体的には、発明の実施の形態1で示した条件で形成したTiN膜上に基板温度300℃、Ar流量100sccm、圧力3mTorr、DCパワー12kWでPtを50nm形成した後に基板温度を200℃まで降温して、Ar流量100sccm、圧力3mTorr、DCパワー12kWでPtをさらに50nm形成した。図2に合計100nm形成したPtの断面構造を示す。Pt形成途中に基板温度を下げることによって、結晶粒径の異なる2層構造にすることができ、酸素の透過パスである結晶粒界を長くすることができた。逆に形成途中で基板温度を上げることによって結晶粒径の異なる2層構造にすることができる。基板温度についてはここで示した条件に限ったものではなく、2層の基板温度条件が少なくとも50℃以上異なっていればよい。

【0019】次に酸素のバリア性を比較した。TiN膜上に50nmから200nmのPtをスパッタ法によって形成した。従来技術である同一基板温度で連続形成したものと、本発明によるPt膜厚の半分で基板温度を変化させたものを用意した。それらのPt上にPZTをゾルゲル法で100nm形成し、650℃、2分の酸素雰囲気結晶化アニールを行なった試料を作成した。それらの試料をSIMSによって深さ方向元素分析を行ない、TiN酸化膜厚の下部電極Pt膜厚依存性を求めた。本発明による基板温度を変化させたPt膜の場合、発明の実施の形態1の場合と同様にPt膜厚100nm以下でも酸化されないことがわかった。

【0020】本発明を用いて形成したPt膜を用いて、容量記憶素子を作成した。要部断面図は発明の実施の形態1で示した図5と同様である。膜厚100nmのPtを用いた。従来方法の同一条件Pt膜ではTiN膜が酸化され、メ

メモリ特性がとれなかったが、本発明を用いればDRAMに適用しても強誘電体不揮発性メモリに適用しても容量記憶素子としての動作が確認された。

【0021】Ptの結晶粒の膜厚方向の長さを膜厚よりも小さくする方法としては、途中でPtのスパッタ条件を変える方法がある。具体的には、発明の実施の形態1で示した条件で形成したTiN膜上に基板温度300℃、Ar流量100sccm、圧力3mTorr、DCパワー12kWでPtを50nm形成した後に圧力を5mTorrまで増やして、基板温度300℃、Ar流量100sccm、DCパワー12kWでPtをさらに50nm形成した。Ptの断面構造は図2に示したものと同様であった。逆に形成途中で圧力を下げることによっても結晶粒径の異なる2層構造にすることができる。圧力についてはここで示した条件に限ったものではなく、2層の圧力条件が少なくとも1mTorr以上異なっていればよい。

【0022】次に酸素のバリア性を比較した。TiN膜上に50nmから200nmのPtをスパッタ法によって形成した。従来技術である同一圧力で連続形成したものと、本発明によるPt膜厚の半分で圧力を変化させたものを用意した。それらのPt上にPZTをゾルゲル法で100nm形成し、650℃、2分の酸素雰囲気結晶化アニールを行なった試料を作成した。それらの試料をSIMSによって深さ方向元素分析を行ない、TiN酸化膜厚の下部電極Pt膜厚依存性を求めた。本発明による圧力を変化させたPt膜の場合、発明の実施の形態1の場合と同様にPt膜厚100nm以下でも酸化されないことがわかった。

【0023】本発明を用いて形成したPt膜を用いて、容量記憶素子を作成した。要部断面図は発明の実施の形態1で示した図5と同様である。膜厚100nmのPtを用いた。従来方法の同一条件Pt膜ではTiN膜が酸化され、メモリ特性がとれなかったが、本発明を用いればDRAMに適用しても強誘電体不揮発性メモリに適用しても容量記憶素子としての動作が確認された。

【0024】Ptの結晶粒の膜厚方向の長さを膜厚よりも小さくする方法としては、途中でPtのスパッタ条件を変える方法がある。具体的には、発明の実施の形態1で示した条件で形成したTiN膜上に基板温度300℃、Ar流量100sccm、圧力3mTorr、DCパワー12kWで成長速度20nm/秒でPtを50nm形成した後にDCパワーを8kWまで落として、基板温度300℃、Ar流量100sccm、圧力3mTorrで成長速度を15nm/秒まで下げてPtをさらに50nm形成した。Ptの断面構造は図2に示したものと同様であった。逆に形成途中で成長速度を上げることによっても結晶粒径の異なる2層構造にすることができる。成長速度についてはここで示した条件に限ったものではなく、2層の成長速度が少なくとも1nm/秒以上異なっていればよい。

【0025】次に酸素のバリア性を比較した。TiN膜上に50nmから200nmのPtをスパッタ法によって形成した。

従来技術である同一成長速度で連続形成したものと、本発明によるPt膜厚の半分で成長速度を変化させたものを用意した。それらのPt上にPZTをゾルゲル法で100nm形成し、650℃、2分の酸素雰囲気結晶化アニールを行なった試料を作成した。その試料をSIMSによって深さ方向元素分析を行ない、TiN酸化膜厚の下部電極Pt膜厚依存性を求めた。本発明による成長速度を変化させたPt膜の場合、発明の実施の形態1の場合と同様にPt膜厚100nm以下でも酸化されないことがわかった。

【0026】本発明を用いて形成したPt膜を用いて、容量記憶素子を作成した。要部断面図は発明の実施の形態1で示した図5と同様である。膜厚100nmのPtを用いた。従来方法の同一条件Pt膜ではTiN膜が酸化され、メモリ特性がとれなかったが、本発明を用いればDRAMに適用しても強誘電体不揮発性メモリに適用しても容量記憶素子としての動作が確認された。

【0027】

【発明の効果】本発明を用いることにより、酸素バリア性の高いPt膜を得ることができるため、キャパシタの下部電極Pt膜厚を100nmまで薄膜化できる。そのため、DRAMや強誘電体不揮発性メモリ等の容量記憶素子の微細化、高集積化が可能となった。

【図面の簡単な説明】

【図1】本発明による2段階形成Pt膜の断面構造を示す図。

【図2】本発明による結晶粒径の異なる2層構造からなるPt膜の断面構造を示す図。

【図3】従来技術による連続形成Pt膜の断面構造を示す図。

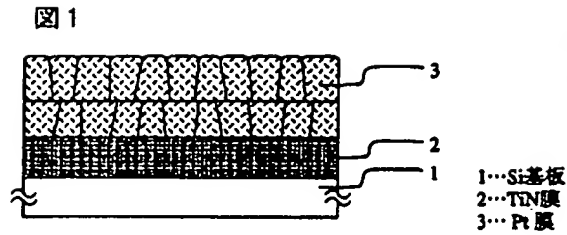
【図4】バリア層TiN膜の酸化膜厚の、Pt膜厚依存性。

【図5】本発明によるPt膜を用いた容量記憶素子の要部断面図。

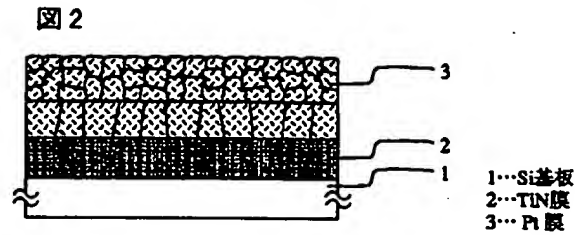
【符号の説明】

- 1・・・Si 基板
- 2・・・TiN 膜
- 3・・・Pt 膜
- 4・・・SiO₂ 膜
- 5・・・n+Si (ソース・ドレイン領域)
- 6・・・Wポリサイド (ワード線)
- 7・・・Wポリサイド (下部ビット線)
- 8・・・多結晶 Si プラグ
- 9・・・バリア層 TiN 膜
- 10・・・下部電極 (Pt)
- 11・・・PZT 膜
- 12・・・上部電極 (Pt)
- 13・・・上部ビット線 (W)
- 14・・・BPSG。

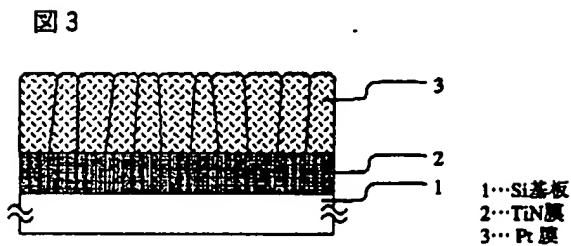
【図1】



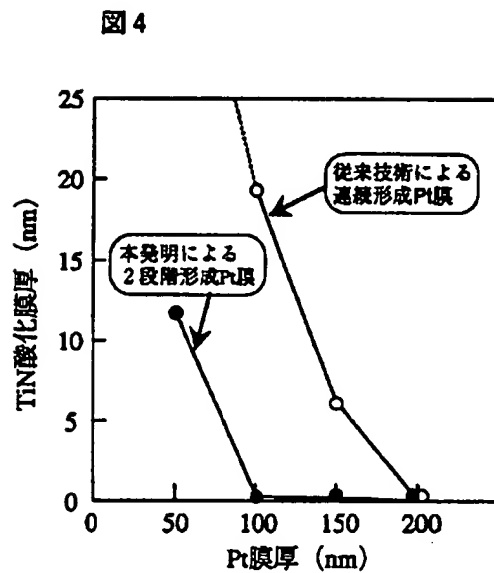
【図2】



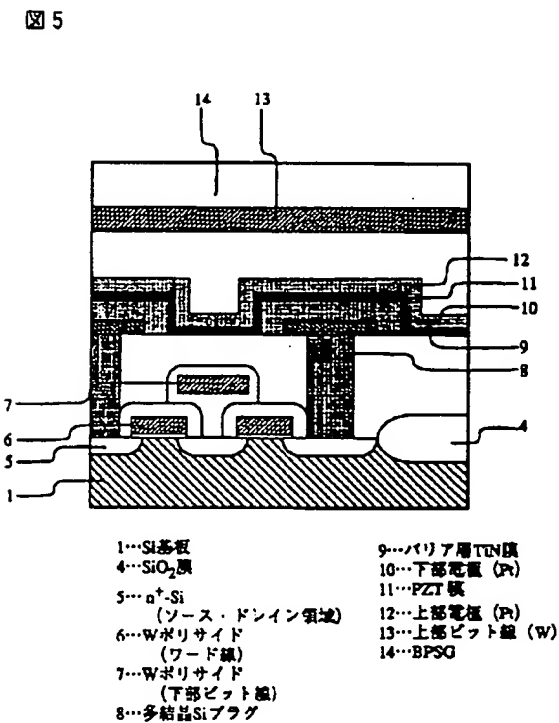
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁶
H01L 21/8247
29/788

識別記号

F I

29/792

(72)発明者 平谷 正彦
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 藤崎 芳久
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内